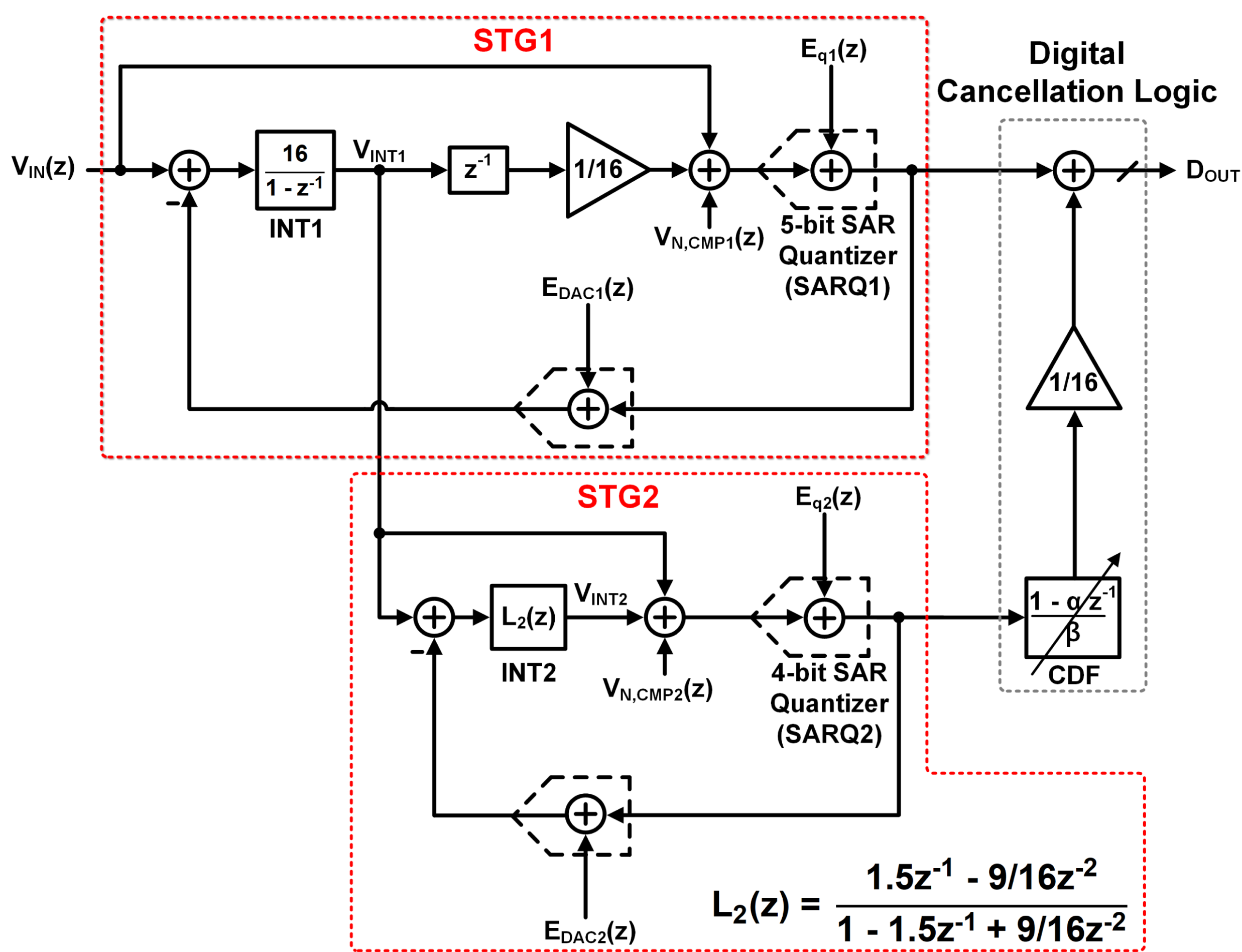


1-2 MASH based on Pipelined Noise Shaping SAR ADC

Ju-yong Lee, Hyung-il Chae
Department of Electronic Eng., Konkuk University

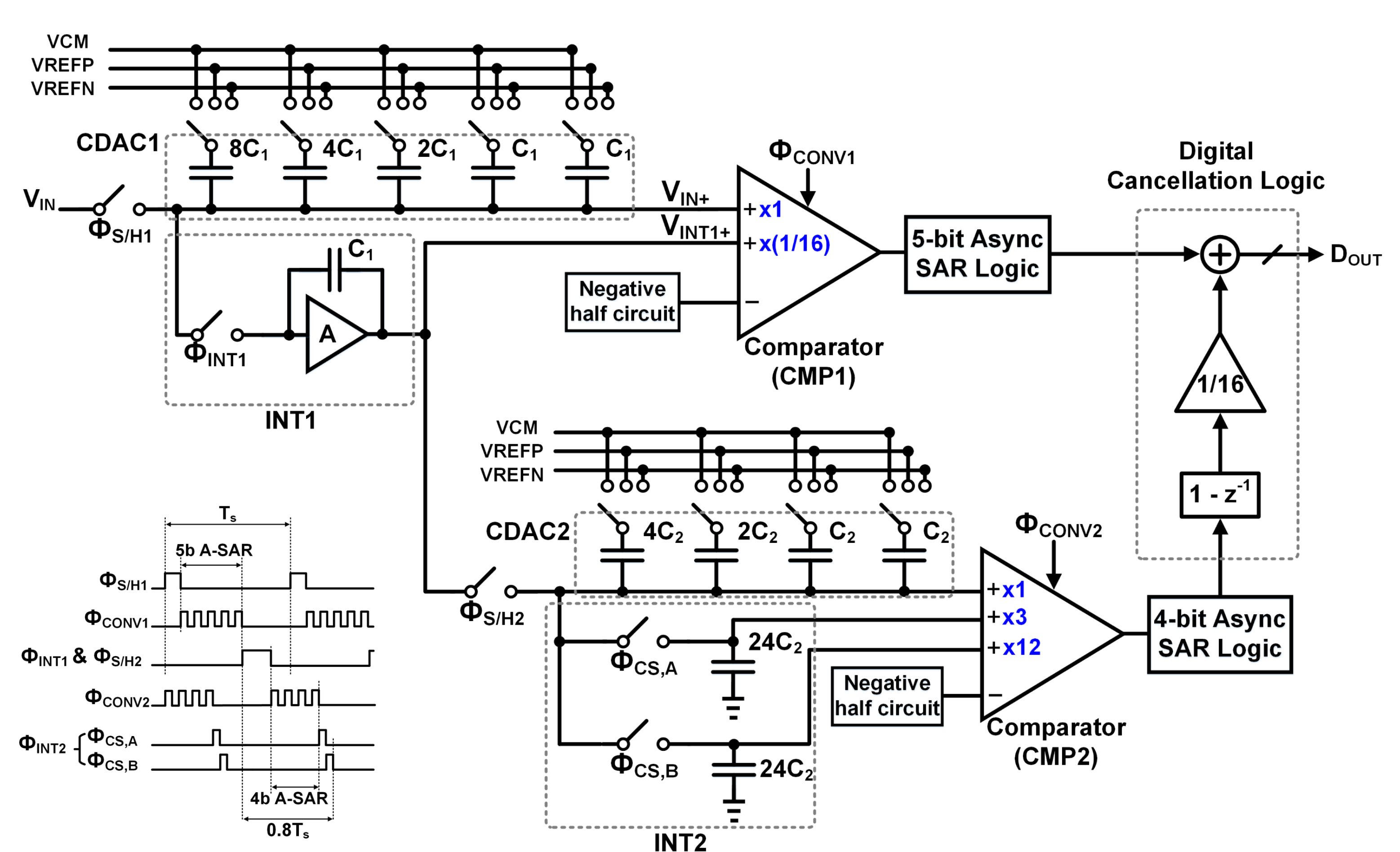
본 연구는 IoT 및 모바일 기기에 사용할 넓은 대역폭과 높은 해상도의 ADC를 개발하는 것을 목표로 한다. 기존의 Noise Shaping SAR(NS-SAR) ADC는 높은 차수의 잡음 전달 함수(NTF)를 사용하거나 높은 비트의 양자화를 사용하여 SNDR를 향상시킬 경우 안정도 문제와 비교기 잡음에 의해 제한된다. 따라서 본 연구는 Pipelined SAR ADC에 Noise Shaping 특성을 적용하여 비교기 잡음을 효율적으로 감소시키고 높은 안정성을 유지할 수 있는 MASH 구조를 통해 낮은 양자화 비트와 낮은 오버샘플링 비로 고해상도와 넓은 대역폭을 달성하는 1-2 MASH based on Pipelined Noise Shaping SAR ADC를 제안한다.

제안하는 ADC 블록 다이어그램



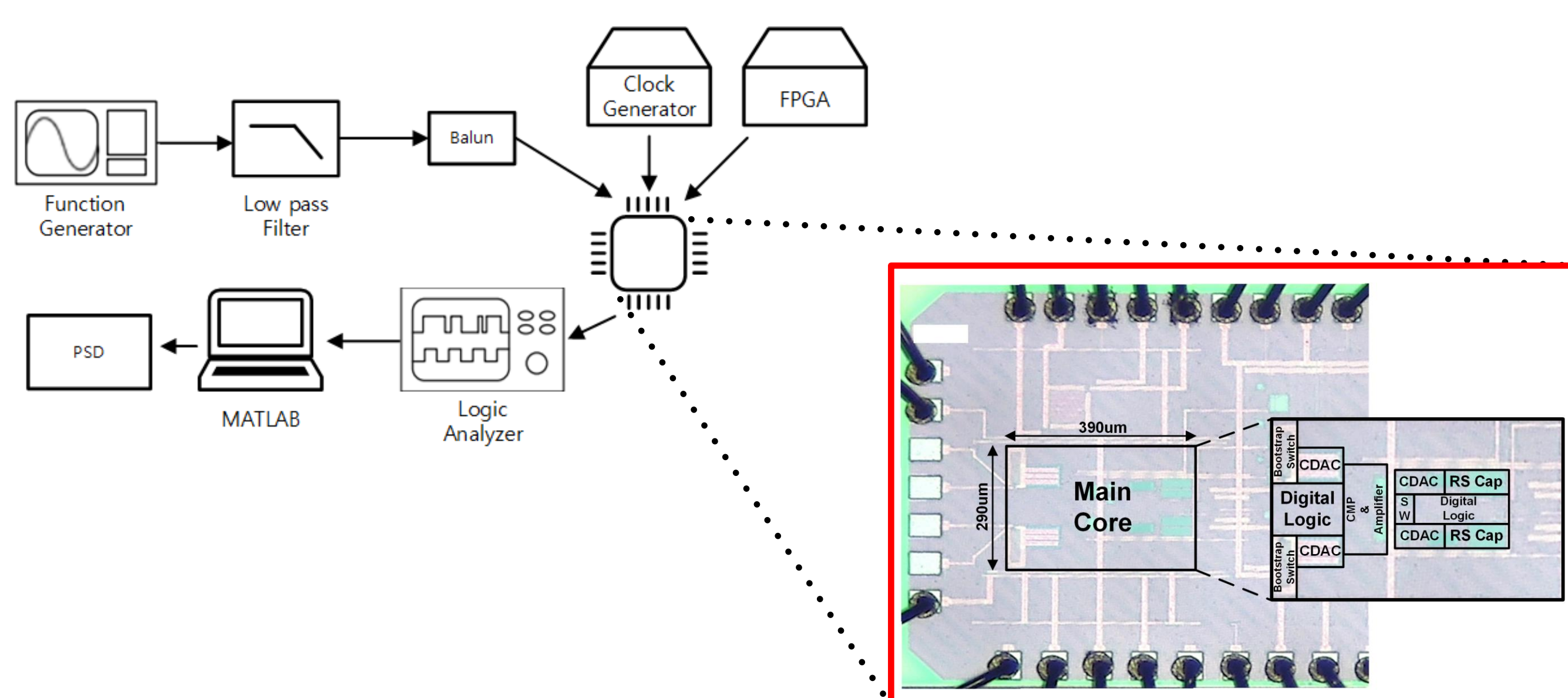
Pipelined SAR Structure의 각 단계 NS-SAR ADC를 적용하였다. 첫 번째 단계는 Active type의 적분기를 사용하여 대역 내의 잡음을 최대한 감소시킴과 동시에 정확한 Digital Cancellation이 가능하게 하였고 두 번째 단계는 NTF의 차수를 증대하여 대역 안의 잡음 감쇄를 최대화 하는 역할을 하기 때문에 2차 Fully Passive type NS-SAR를 사용하여 설계하였다. 제안하는 ADC는 첫 번째 단계에서 사용하는 OP-AMP가 첫 번째 단계의 적분과 두 번째 단계 증폭된 신호를 전달하는데 사용하기 때문에 하나의 증폭기로 3차 NTF 특성을 구현할 수 있다.

제안하는 ADC 회로도와 타이밍도



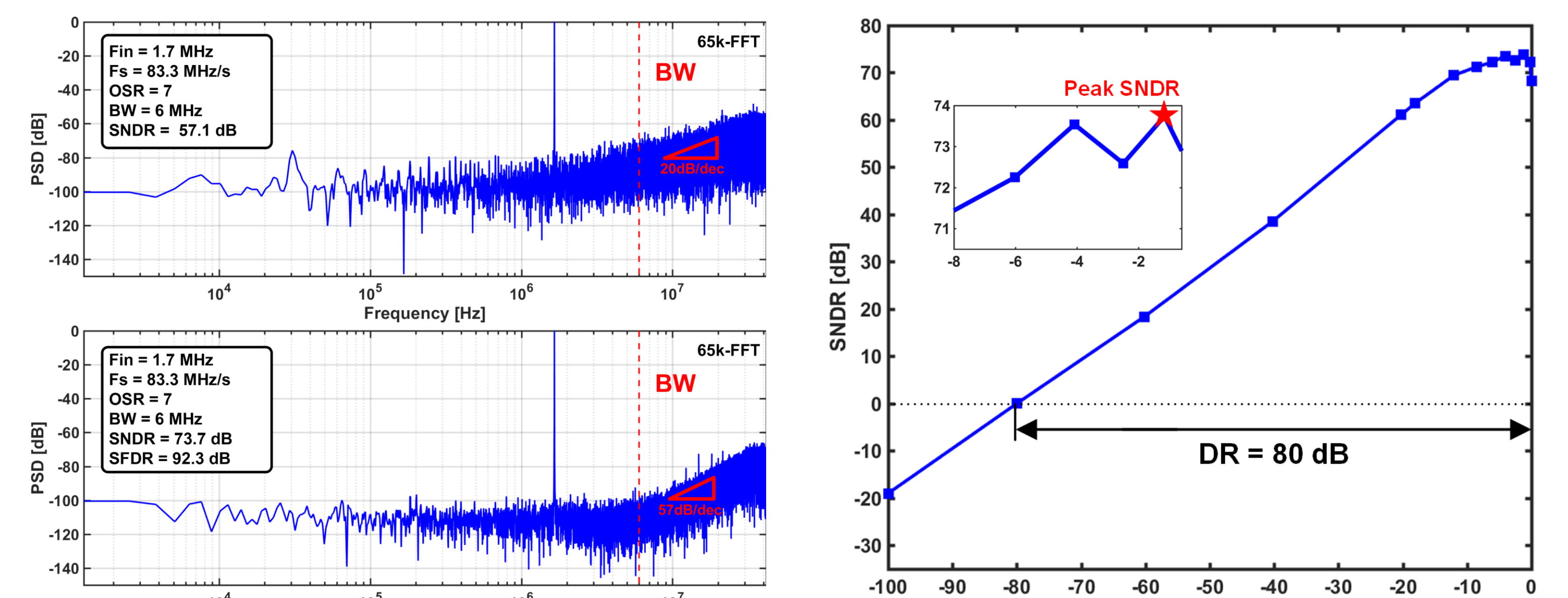
제안하는 ADC는 위와 같이 회로로 구현할 수 있고 동작 순서는 다음과 같다. 우선 첫 번째 단계에서 Sample and Hold ($\Phi_{S/H1}$) 후 5-비트 변환 (Φ_{CONV1})이 빠른 동작 속도를 위해 비동기 SAR 로직을 통해 동작한다. Φ_{CONV1} 후 잔여 전압이 적분되며, 동시에 두 번째 단계의 Sample and Hold ($\Phi_{S/H2}$)가 시작된다. 그 후 4-비트 비동기 SAR 변환 (Φ_{CONV2})이 끝나면 2번의 전하 분배 구간인 Φ_{INT2} 동작을 통해 2차 Noise Shaping을 구현하며 최종 샘플링 속도는 83.3Ms/s이다.

칩 테스트 환경



칩에 입력으로 사용되는 신호는 3가지로 클락과 Scan Chain은 각각 클락 발생기와 FPGA를 통하여 칩에 인가하고, 입력 신호는 함수 발생기에서 나온 신호를 Low Pass Filter를 통해 잡음을 줄이고 Balun을 이용하여 차동 신호로 변환한 후 칩에 인가한다. 출력 신호는 Logic Analyzer를 통해 추출한 뒤 컴퓨터로 전송하고 MATLAB을 통해 FFT 시뮬레이션 후 결과를 확인한다.

테스트 결과



칩 테스트 결과는 위와 같으며 제안하는 ADC는 SNDR = 80 dB, 대역폭 = 6 MHz의 성능을 확인하였다. 또한, Dynamic Range는 80 dB이다.

기존의 Noise Shaping SAR ADC의 제한된 해상도를 다른 구조의 ADC와 결합함으로써 더 높은 해상도와 넓은 대역폭을 갖는 ADC를 설계하였다. 하지만 OP-AMP의 사용으로 전력소비가 크기 때문에 전력소비가 작은 증폭기를 사용함으로써 전력소비 측면에서 보완할 필요가 있다.

본 연구는 IDEC에서 MPW를 지원받아 수행하였습니다.